

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-185898

(43) 公開日 平成9年(1997)7月15日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1		G 1 1 C 29/00	3 0 1 C
				3 0 1 B
11/401			11/34	3 7 1 D

審査請求 有 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平8-298924

(22) 出願日 平成8年(1996)11月11日

(31) 優先権主張番号 1 9 9 5 - 4 0 8 4 6

(32) 優先日 1995年11月11日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 9 9 5 - 4 0 8 4 7

(32) 優先日 1995年11月11日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 徐 承 珍

大韓民国京畿道水原市八達区麟溪洞319-

6新盤浦アパートメント105-512

(72) 発明者 李 國 相

大韓民国京畿道水原市八達区牛溝洞明星ヴ

ィラ、ダ同206号

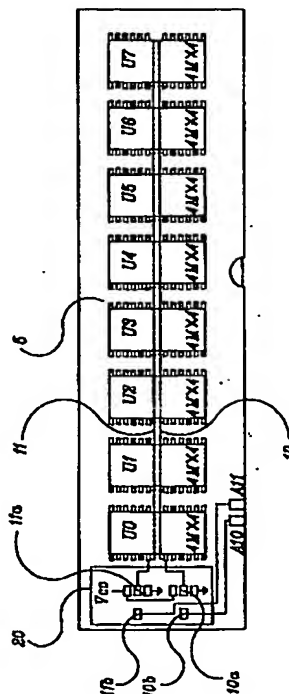
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 部分不良を有するメモリ素子を利用したメモリモジュール

(57) 【要約】

【課題】 一部アドレスに該当するメモリセルで不良が生じた組立済みメモリ素子を利用してメモリモジュールを構成することにより半導体製造工程の生産費用を節減する。

【解決手段】 複数のメモリセルで構成された2ⁿ個のメモリアレーを有する2ⁿ個のメモリブロックから構成され、メモリアレーの一部には不良メモリセルを含んでいるP個のメモリ素子から構成されるメモリモジュールにおいて、前記メモリアレーの各々をアドレス指定するために前記メモリ素子各々が有しているM個のアレーアドレスピンを電気的に連結して共通にし、かつ、どのメモリアレーが不良メモリセルを含んでいるかに応じてアレーアドレスピンを接地端子と電源端子に選択的に連結するようにした。



【特許請求の範囲】

【請求項1】 (A) 複数のメモリセルで構成された 2^M 個のメモリアレーを有する 2^N 個のメモリブロックと、前記メモリアレーの各々をアドレス指定するためのM個のアレーアドレスピンと、前記メモリブロックの各々をアドレス指定するためのN個のブロックアドレスピン、及び前記メモリセルの各々をアドレス指定するための複数のメモリセルアドレスピンを備えるP個のメモリ素子と、(B) 前記P個のメモリ素子が実装され、かつ、実装されたメモリ素子間の電気的な連結のための配線パターンを有する回路基板とを備える所定の記憶容量のメモリモジュールにおいて、前記メモリ素子のメモリブロックの一部メモリアレーは不良メモリセルを含み、前記M個のアレーアドレスピンの各々は電気的にお互いに連結されており、かつ、前記回路基板は、どのメモリアレーが不良メモリセルを含んでいるかに応じて前記アレーアドレスピンを接地端子と電源端子に選択的に連結するオプションパッドを有することを特徴とするメモリモジュール。

【請求項2】 前記 2^N 個のメモリブロックの各々において、 2^N 個のメモリアレーのうち少なくとも一つ以上のメモリアレーは不良メモリセルを有していない、請求項1記載のメモリモジュール。

【請求項3】 一つのメモリブロックに位置する不良メモリセルを含まない良品メモリアレーのアレーアドレスのうち、少なくとも一つは、前記メモリ素子の他のメモリブロックに位置する良品メモリアレーのアレーアドレスと一致する、請求項1記載のメモリモジュール。

【請求項4】 前記N個のブロックアドレスピンには、入力されるアドレス信号の論理値に関係ない信号が入力される、請求項1記載のメモリモジュール。

【請求項5】 前記メモリ素子の個数Pは、前記メモリモジュールの記憶容量が各々のメモリ素子の容量のP/N倍になるように決定される、請求項1記載のメモリモジュール。

【請求項6】 前記メモリ素子の各々は 2^N 個のメモリブロック毎に1ビットのデータを出力し、前記メモリモジュールは $2^N \times P$ 個のデータを出力する、請求項1記載のメモリモジュール。

【請求項7】 前記メモリ素子は16MDRAM素子であり、前記MとNは2であり、前記Pは8であり、前記メモリモジュールは、32Mビットの記憶容量及び32ビットのデータ出力を有する1M×32ビットメモリモジュールである、請求項1記載のメモリモジュール。

【請求項8】 前記メモリ素子は16MDRAM素子であり、前記Mは1であり、前記Nは2であり、前記Pは4であり、前記メモリモジュールは、32Mビットの記憶容量及び32ビットのデータ出力を有する1M×32ビットメモリモジュールである、請求項1記載のメモリモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリモジュールに関し、より詳細には、一部アドレスに該当するメモリセルで不良が生じたメモリ素子を用いて、良品のメモリ素子で構成されたものと同様の機能と容量を有するように構成したメモリモジュールに関する。

【0002】

【従来の技術】最近、メモリ製品の記憶容量の増加と、微細加工技術の発達による厳格な設計規則のため、16MDRAM、64MDRAMの初期歩留まりが徐々に減少している。ウェーハレベルでプレレーザ(pre-laser)及びEDS(Electrical Die Sorting)工程を経た初期段階のメモリ素子であっても、パッケージ組立工程が済んだ後、バーンイン(burn-in)検査及びPCT(Pressure Cooker Test)やT/C(Temperature Cycling)のような信頼性検査等を経る間に不良が生ずることが多い。最終検査を経て完成されたメモリ素子としても、ただ一つのアドレスに該当するメモリセルで不良が生ずると、その素子は使用者に供給することができない。

【0003】特に、ウェーハレベル検査において不良がないと判定された半導体チップが、組立工程を経た後特定アドレスに該当する幾らかのメモリセルだけで不良が生ずる比率が高いが、これを不良素子として取り扱って廃棄処分することになる。しかしながら、プラスチックパッケージ組立工程に要する製造コストがかなり高いにもかかわらず、このような不良半導体パッケージを利用する方法がないので、生産費用の増加を引き起こす。さらに、今後メモリ素子の容量が1GDRAM以上に増加するほどに、かかる不良による問題点はもっと増大するだろう。実際に、生産現場において、パッケージ組立工程済みの半導体メモリ素子のうち、ただ一つのメモリセルで不良が生ずる比率は、全体メモリ素子の約7%、不良メモリ素子の約90%以上を占めている。

【0004】図9は、部分不良メモリ素子を用いた従来のメモリモジュールの構成図であって、ヨーロッパ特許公報第395,612号(出願人;IBM)の図2に開示されている。

【0005】回路基板118には、メモリ素子130、132、134、136、138が実装される。また、制御信号及びバス信号が、バス20を介してメモリ素子に供給される。メモリ素子のI/O1、2、3、4は、パッドR1~R33及び配線を介して出力D0~D8と連結されている。メモリ素子のどのI/Oが不良であるかによりパッドR1~R33を適切に連結すると、良品のメモリモジュールを実現することができる。例えば、メモリ素子130のI/O2、3、4が不良であり、I/O1が正常である場合、パッドR1をジャンパ手段で連結し、R2、R3、R5、R7及びR6、R8を開放させると、メモリ素子130のI/O1がD0に出力さ

れる。

【0006】このような従来のメモリモジュールは、異なった部分不良を有する各部分不良メモリを1つの基板に実装して良品のメモリモジュールを実現することができるといふ利点である。しかし、複雑なパターン配線を基板に形成しなければならないし、部分不良の種類により、パッドR1～R33を連結する連結法が多様であるため、多くの注意が必要である。

【0007】

【発明が解決しようとする課題】本発明の目的は、組立工程が済んだ後、一部アドレスに該当するメモリセルで不良が生じたメモリ素子を、良品のメモリ素子と同様に利用することにある。

【0008】本発明の他の目的は、一部アドレスに該当するメモリセルで不良が生じたメモリ素子を用いてメモリモジュールを構成することにより、半導体製造工程の生産費用を削減することにある。

【0009】

【課題を解決するための手段】かかる目的を達成するために、本発明は、(A)複数のメモリセルで構成された2ⁿ個のメモリアレーを有する2ⁿ個のメモリブロックと、前記メモリアレーの各々をアドレス指定するためのM個のアレーアドレスピンと、前記メモリブロックの各々をアドレス指定するためのN個のブロックアドレスピン、及び前記メモリセルの各々をアドレス指定するための複数のメモリセルアドレスピンを備えるP個のメモリ素子と、(B)前記P個のメモリ素子が実装され、かつ、実装されたメモリ素子間の電気的な連結のための配線パターンを有する回路基板とを備える所定の記憶容量のメモリモジュールにおいて、前記メモリ素子のメモリブロックの一部メモリアレーは不良メモリセルを含み、前記M個のアレーアドレスピンの各々は電気的に互いに連結されており、かつ、前記回路基板は、どのメモリアレーが不良メモリセルを含んでいるかに応じて前記アレーアドレスピンを接地端子と電源端子に選択的に連結するオプションパッドを有することを特徴とするメモリモジュールを提供する。

【0010】

【発明の実施の形態】以下、図面を参照として本発明を具体的に説明する。まず、本発明の一実施例として、一部メモリセルで不良が生じた16MDRAMメモリ素子を用いて、良品の4MDRAMで構成されたメモリモジュールと同様の機能を有するメモリモジュールを実現することについて説明する。

【0011】図3は、一般的な4MDRAM素子の概略的構成図である。図3において、4Mメモリ素子は、4つの1Mメモリセルブロックよりなる1M×4ビット4Mメモリ素子である。各々のメモリブロック(1Mブロック#0～#3)は、データ出力(DQ0～3)をそれぞれ出力する。各々のメモリブロックには、1M、即ち

1,048,576個のメモリセルが存在するため、時分割アドレス指定方式を採用する場合、ロウアドレス(row address)及びカラムアドレス(column address)として10個のアドレス(A0～A9)が必要である。

【0012】アドレス端子に入力されるアドレスA0～A9は、ロウアドレスバッファ及びカラムアドレスバッファを介して各々のメモリブロックにあるロウアドレスデコーダとカラムアドレスデコーダに入力され、アドレスデコーダで決定された特定アドレスに該当するメモリセルが選択され、このセルに貯蔵されていたデータが出力バッファを介してDQ0、1、2、3に出力される。この際、選択されたメモリセルのアドレスは、4つの1Mブロックのいずれに対しても同一である。

【0013】図4は、図3の4MDRAM素子のピン構成図である。A0～A9は、アドレスの入力のためのピンであり、DQ0～DQ3は、データ出力のためのピンである。RAS(Row Address Strobe)及びCAS(Column Address Strobe)は、入力されるアドレス信号をロウアドレスとすべきか、又はカラムアドレスとすべきかを決定してアドレス指定を時分割方式とするためのものである。WE(Write Enable)及びOE(Output Enable)は、データの入出力を制御するためのピンであり、Vccは、電源端子であり、Vssは、接地端子である。

【0014】図5は、図4のピン構成を有する1×4ビット4MDRAM素子を8つ利用した1M×32メモリモジュールの構成図である。アドレスA0～A9及び出力制御信号W、OEは、すべての4MDRAM素子U0～U7に共通的に連結されている。また、時分割アドレス指定のための制御信号RAS0、RAS1、CAS0、CAS1、CAS2、CAS3は各々の4MDRAMメモリ素子U0～U7に連結されている。アドレス指定のための制御信号を1とすべきか、0とすべきかにより、メモリモジュールがDQ0～DQ31の32ビット、すなわち4バイトのデータを出力すべきか、1バイトずつ出力すべきかを制御することができる。このようなメモリモジュールを4Mベースメモリモジュールというが、本発明の一実施例では、後述するように、図5のような良品の4MDRAMを8つ使用するのではなく、一部メモリセルブロックで不良が生じた16MDRAMを8つ利用する。

【0015】図6は、一般的な4M×4ビット16MDRAM素子の概略的構成図である。4つの4Mブロック#0～#3は、各々4つの1Mメモリセルアレー#0～#3(以下、'1Mアレー#0～#3'という。)を有する。アドレス端子を介して入力されるアドレス信号A0～A11は、時分割されてロウアドレスX0～X11とカラムアドレスY0～Y11とに分かれることになる。図面を簡略化するために、アドレスバッハとアドレスデコーダは図示せず省略する。X0～X9は、1Mアレーに存在する1,024個のワードラインと連結されてお

5

り、X10及びX11は、4つの1Mアレーのうち、一つのアレーを選択するに使用される。Y0～Y9は、すべての1Mアレーのビットラインに連結されている。図6に示した16MDRAMを4M×4メモリ素子として使用する場合、各々の4Mブロックから一つずつデータが出力されなければならないので、4Mブロックを選択するY10、Y11は不必要である。そこで、アドレスピンY10、Y11には、論理値が0であるか、1であるかに関わらない信号を入力する。

【0016】一方、図6の16MDRAM素子を2M×8メモリ素子として使用するためには、4Mブロックから4つの1Mアレーを選択するための2つのアドレスのうち、一つ、例えば、X11が不必要になる。この際、データ出力が全部で8つであるので、図6に示したのとは異なり、8つのデータ出力端子DQ0～DQ7を有する。

【0017】図7は、図6の16MDRAM素子のピン構成図である。ピンの機能は、図4と同様であるので、詳細な説明は省略する。但し、16Mのメモリセルをアドレス指定するために、12個のアドレスピンA0～A11が必要である。ところで、特定アドレスに該当するメモリセルで不良が生じた場合には、後述するように、この不良16MDRAM素子を用いて、図5に示した4MDRAMベースメモリモジュールと同様な機能を行うメモリモジュールを構成することができる。

【0018】まず、パッケージ製造工程を終えた16MDRAMの検査工程において不良が発見された素子を再検査し、16MDRAMのどのメモリブロックで不良が生じたかによって素子を分類する。同じ位置の1Mメモリアレーで良品が存在するメモリ素子を利用すると、所望のメモリモジュールを構成することができる。しかしながら、特定4Mブロックのすべての1Mアレーで不良メモリセルが発見された場合、例えば、4Mブロック#1の1Mアレー#10、#11、#12、#13が全部不良である場合には、他の4Mブロック#0、#2、#3で不良が存在しなくても本発明を適用することができない。また、不良が生じない1Mアレーのうち、X10、X11が一致するものが存在しない場合、例えば、1M#00、#11、#22、#33アレーで不良が生じた場合には、本発明を適用することができない。従って、このようなタイプの不良が存在するメモリ素子は、再検査の分類対象から除外される。同じ位置の1Mアレーで不良が生じていないメモリ素子を同じ類型として分類する。

【0019】例えば、三番目の1Mアレー#02、#12、#22、#32で不良が生じた場合には、X10とX11を接地させて、1M#00、#10、#20、#30だけを使用して1M×4構成の4MDRAM素子として使用することができる。そして、4Mブロックのうち、二番目の1Mアレー、すなわち1M#01、#1

6

1、#21、#31だけが良品であり、残りのアレーで全部不良が生じた場合は、X10は電源端子Vccに、X11は接地端子Vssに連結すると、良品の4MDRAMで構成されたメモリモジュールと同様のメモリ容量及び機能を有するメモリモジュールを実現することができる。

【0020】図1は、上述した一部不良の16MDRAMを利用した本発明による1M×32メモリモジュールの概略的構成図である。図1において、16MDRAM素子のピン構成は、図7のものと同様である。基板5には、8つの4M×4素子U0～U7が実装されている。モジュールの入出力のための信号ピンは、図面の簡略のため、図示しないが、但し、本発明を説明するに必要なアドレスピンA10、A11及びオプションパッド20は図示する。

【0021】16MDRAMU0～U7の左側中央に位置するピンA11、A10は、各々線11と線10によりオプションパッド10aとオプションパッド11aに共通で連結されているとともに、パッド10b、11bに各々連結されている。パッド11aがパッド11bに連結され、パッド10aがパッド10bに連結される場合、外部のアドレス信号がアドレスピンA10、A11を介して各素子に入力されることになり、この場合は素子に不良がないため、本発明の考慮対象ではない。また、上述したように、1Mアレー#00、#10、#20、#30が良品である場合には、オプションパッド11aを接地パッドに連結させ、オプションパッド10aを接地パッドと連結させる。また、1Mアレー#01、#11、#21、#31で不良メモリが発見されない場合には、オプションパッド10aは、接地パッドに連結させ、オプションパッド11aは電源Vccパッドに連結させる。

【0022】尚、基板5を製造する過程において、不良メモリ素子の類型（本実施例では、4つの類型）に適合するようにオプションパッドをVcc又は接地パッドに連結されるように製造した後、不良メモリ素子を実装してもよい。また、図1のように不良メモリ素子を実装した後、これに適合するようにオプションパッドをVcc又は接地パッドに連結してもよい。

【0023】前記本実施例では、上位アドレスA10、A11をオプションパッドに連結することについて説明したが、アドレスピンはこれらに限られるものではなく、メモリ素子の設計により他のピンを使用することもできる。

【0024】図1のメモリモジュールと図5のメモリモジュールを比較してみると、図1のメモリモジュールに用いられる16MDRAMは、各々の4Mブロック中の一つの1Mメモリアレーだけを使用するため、前記両モジュールのメモリ容量は同一であり、かつ、両モジュールが32ビットのデータを出力する点において同一の機

能を行うことがわかる。但し、図1では、図5のメモリモジュールとは異なり、4MDRAMより容量及びサイズが大きい16MDRAMを使用している、といった短所を有するが、従来においては不良のため廃棄処分されていた16MDRAMを、図1のメモリモジュールでは使用しているため、不良メモリ素子を製造するために要した費用を節減するという経済面での長所がより大きい。前記本実施例では、一部不良の4M×4ビット16MDRAM素子を用いて4MDRAMベースメモリモジュールを構成することについて説明したが、一部不良の2M×8ビット16MDRAM素子を利用することも可能である。

【0025】図8は、一般的な2M×8ビット16MDRAM素子の概略的な構成図である。×8メモリ製品であるため、データ出力は、DQ0～DQ7の8つである。メモリセルは、2Mメモリブロックで分かれており、各々の2Mメモリブロックは、1Mメモリアレー1M#00、1M#01・・・1M#70、1M#71で構成されている。アドレスピンA0～A11に入力されるアドレス信号は、メモリセルを選択するためのものであり、1Mアレーに入っているメモリセルを指定するためには、20個のアドレスX0～X9及びY1～Y9が必要である。各々の1Mアレーを選択するためには、一つのアドレスX10が用いられる。例えば、1M#00に存在するメモリセルを選択するためには、X10が“0”の2進値を有し、1M#01を指定するためには、X10が“1”の値を有する。

【0026】本発明では、図8のメモリ素子は、パッケージ工程が済んだ後、検査工程を経て、X10が“0”の値を有する1Mアレーで不良が生じた素子と、X10が“1”の値を有する1Mアレーで不良が生じた素子とで区別される。この際、上述したように、2Mブロックのすべての1Mアレー、例えば1M#10、1M#11で不良が生じた場合には、本発明を適用することができない。一つの2Mブロックに位置する二つの1Mアレー中の一つで不良が生じた2M×8メモリ素子を4つ使用すると、図5の1M×32メモリモジュールを構成することができる。これを図2に示す。

【0027】図2は、一部不良の2M×8ビット16MDRAMを利用した本発明の他の実施例による1M×32メモリモジュールの概略的な構成図である。ここで、一部不良の2M×8ビット16MDRAM素子U0～U3を基板25に実装し、各々のメモリ素子のA10に該当するピンを線30にて連結する。モジュールのアドレスピンのうち、アドレスピンA10はパッド30bに連結され、線30はオプショパッド30aに連結されている。オプショパッド30aは、電源端子Vccに連結されてもよく、又は接地端子GNDに連結されてもよい。メモリ素子U0～U3の1Mアレーのうち、A10が“0”に該当するアレーで不良が生じた場合には、オ

プショパッド30aをVccに連結させて、A10が“1”に該当する1Mアレーだけを選択するようにする。つまり、本モジュールは2Mメモリブロックの半分を利用するため、4つの8MDRAM素子を利用したモジュールと同様である。データの出力は、半分の1Mアレーから一つずつ出するため、一つのメモリ素子から8つのデータが出力される。従って、前記メモリモジュールにおいて、記憶容量は32Mであり、データ出力は、DQ0～DQ31の32ビットになる。この結果は、図5のメモリモジュールと同一である。しかし、本発明の先の一実施例に比べて、本実施例では2つに分類された不良の類型からメモリ素子が選択されるため、幾分非効率的である欠点がある。しかし、図1とは異なり部分不良を有する4つの16MDRAM素子を使用するので、サイズにおいてはより有利である。

【0028】上述した本発明の実施例は、一部不良の16MDRAM素子を利用したが、本発明の属する技術分野において通常の知識を有する者なら、一部不良の64MDRAM素子を用いて良品の16MDRAMベースメモリモジュールを実現することが可能であることがわかる。例えば、16M×4ビット64MDRAM素子は、図6の16MDRAM素子と類似な構造を有し、4Mブロックを16Mブロックで置き換え、1Mアレーを4Mアレーで置き換えればよい。従って、アドレスピンX0～X9及びY0～Y9は各々X0～X10及びY0～Y10で変更され、4M#00、#01、#02、#03を指定するアドレスは、X11、X12になる。4Mアレーの一部で不良メモリセルが発見された一部不良の64MDRAM素子を用いて、例えば、4M×32メモリモジュールを実現しようとすると、図1に示したと同様に、不良を有する64MDRAMをU0～U7として基板に実装し、アドレスピンX11、X12に該当する端子をオプショパッドに連結すればよい。

【0029】

【発明の効果】本発明によると、一部不良のメモリ素子、特にだた一つのアドレスに該当するメモリセルで不良が生じた（ビット1不良）メモリ素子を用いてメモリモジュールを構成することにより、生産費用を低減することができ、歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】一部不良の4M×4ビット16MDRAMを利用した本発明の一実施例による1M×32メモリモジュールの概略的な構成図である。

【図2】一部不良の2M×8ビット16MDRAMを利用した本発明の他の実施例による1M×32メモリモジュールの概略的な構成図である。

【図3】一般的な4MDRAM素子の概略的な構成図である。

【図4】図3の4MDRAM素子のピン構成図である。

【図5】図4のピン構成を有する4MDRAM素子を8

つ利用した1M×32メモリモジュールの構成図である。

【図6】一般的な4M×4ビット16MDRAMメモリ素子の概略的構成図である。

【図7】図6の16MDRAMメモリ素子のピン構成図である。

【図8】一般的な2M×8ビット16MDRAMメモリ素子の概略的構成図である。

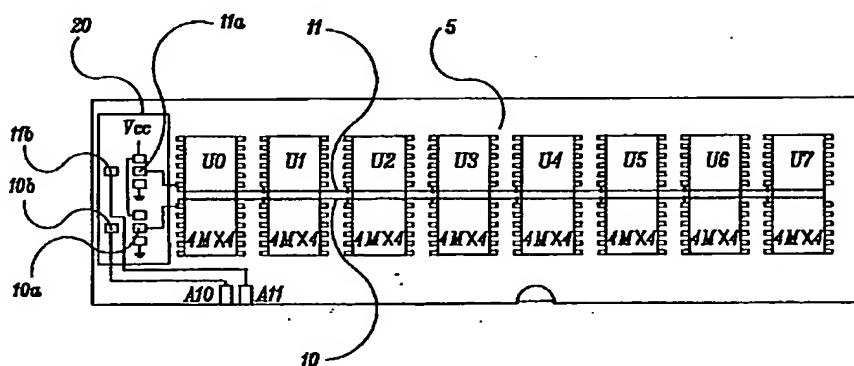
【図9】部分不良メモリ素子を用いた従来のメモリモジュールの構成図である。

【符号の説明】

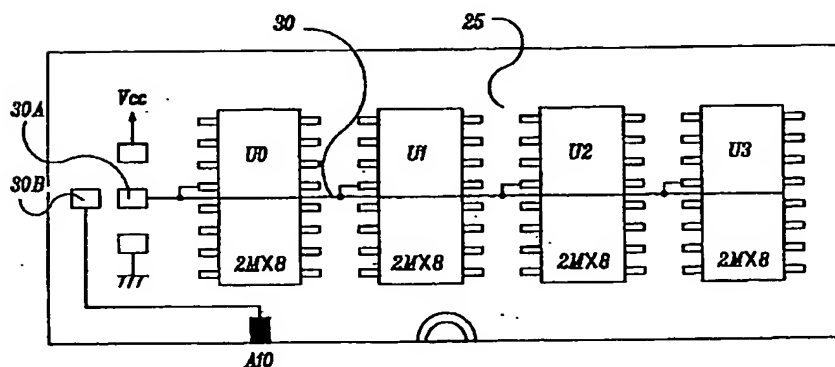
- 5 基板
- 10 線
- 11 線
- 25 基板
- 30 線
- 10a、10b オプションパッド
- 11a、11b オプションパッド
- 30a、30b オプションパッド

10

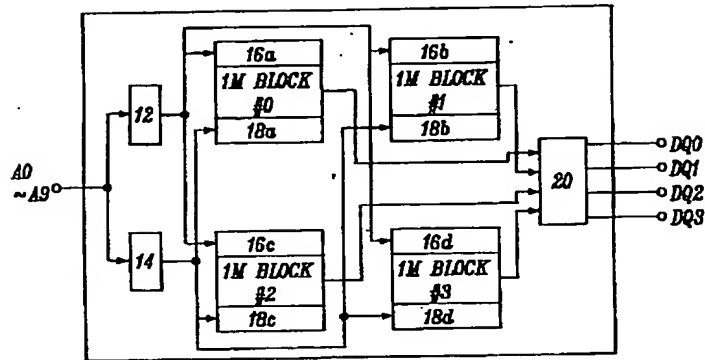
【図1】



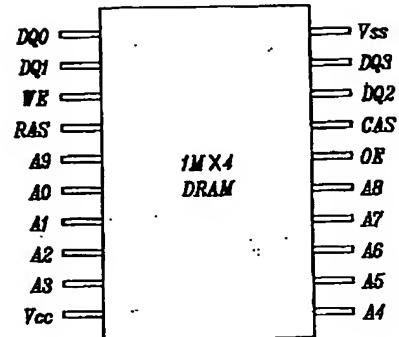
【図2】



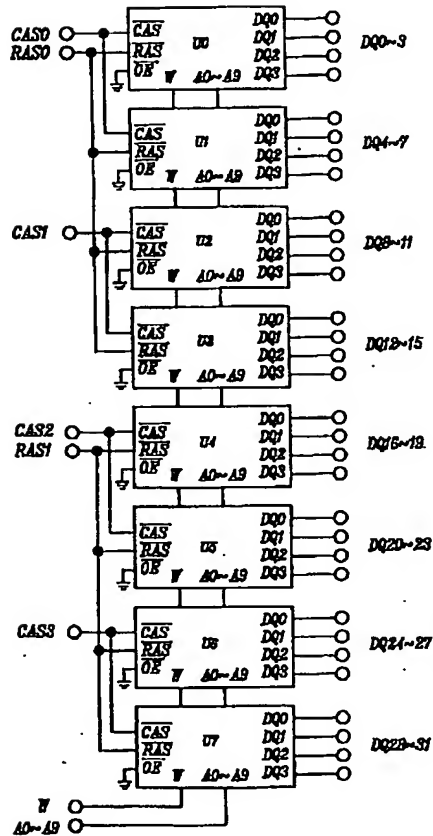
【図3】



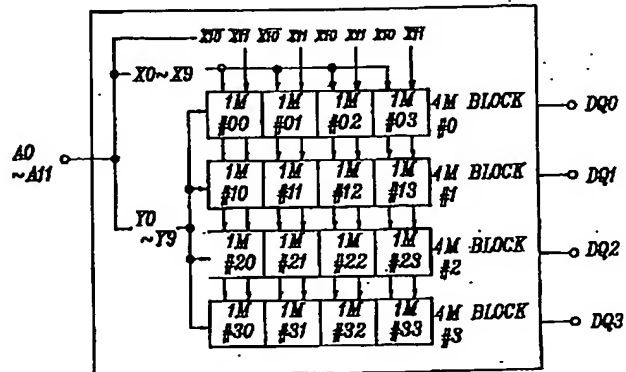
【図4】



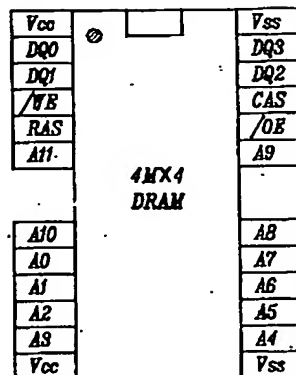
【図5】



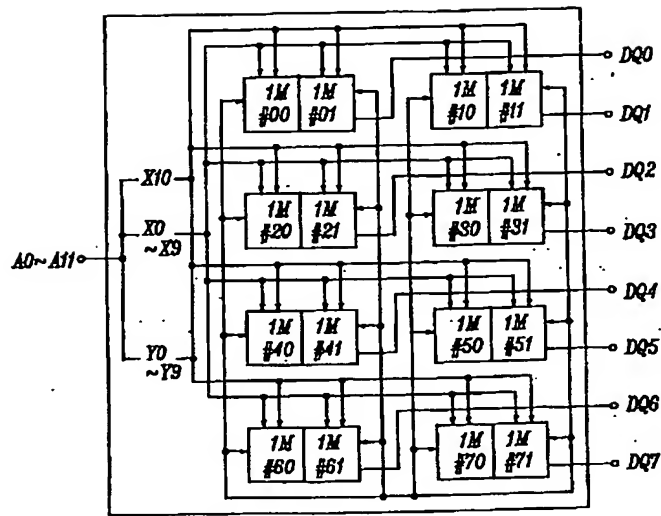
【図6】



【図7】



【図8】



【図9】

